

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
 特開2000-294723
 (P2000-294723A)
 (43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int. Cl.⁷ 識別記号 F I ティーコード (参考)
 H 0 1 L 25/065 H 0 1 L 25/08 B
 25/07
 25/18

審査請求 未請求 請求項の数 5 O L (全 7 頁)

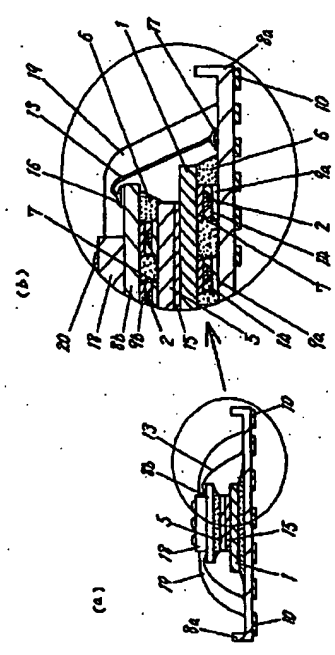
(21) 出願番号	特願平11-102279	(71) 出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22) 出願日	平成11年4月9日 (1999. 4. 9)	(72) 発明者	石川 和弘 大阪府高槻市幸町1番1号 松下電子工業株式会社内
		(74) 代理人	100097445 弁理士 岩橋 文雄 (外2名)

(54) 【発明の名称】 積層型半導体装置およびその製造方法

(57) 【要約】

【課題】 積層型半導体装置の構造では、急激な半導体素子の温度上昇により半導体素子が破壊し、その積層型半導体装置が動作しなくなるといった不具合が発生する。

【解決手段】 フリップチップ実装構造の2つの半導体装置をその互いの半導体素子1、5の裏面どうしを合わせて、放熱性接着剤15を介して積層化して接合し、また上側の半導体キャリア基板8bの裏面に放熱用の金属製プレート板18を設けることにより、実装面積を低減し、かつ放熱特性を向上させた積層型半導体装置が得られる。



【特許請求の範囲】

【請求項1】 少なくとも第1の半導体装置と第2の半導体装置とよりなり、互いの半導体装置どうしを放熱性接着剤を介して積層化して接合した積層型半導体装置であって、前記第1の半導体装置上に第2の半導体装置が積層され、前記第1の半導体装置と第2の半導体装置とが電気的に接続され、前記第2の半導体装置上に放熱用の金属製プレート板が設けられ、前記金属製プレート板が露出するように、前記第1の半導体装置と前記第2の半導体装置との外周を封止樹脂で封止したことを特徴とする積層型半導体装置。

【請求項2】 底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第1の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンパを介して接合された第1の半導体素子とよりなる第1の半導体装置と、底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第2の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンパを介して接合された第2の半導体素子とよりなる第2の半導体装置とが放熱性接着剤を介して積層化して接合した積層型半導体装置であって、前記第1の半導体素子の裏面と第2の半導体素子の裏面とが接合され、前記第2の半導体キャリア基板の底面の外部端子と前記第1の半導体キャリア基板の上面の電極とが金属細線で電気的に接続され、前記第2の半導体キャリア基板の底面上に放熱用の金属製プレート板が設けられ、前記金属製プレート板が露出するように、前記第1の半導体キャリア基板の上面領域の前記第2の半導体装置を含む領域を封止樹脂で封止したことを特徴とする積層型半導体装置。

【請求項3】 底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第1の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンパを介して接合された第1の半導体素子とよりなる第1の半導体装置と、底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第2の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンパを介して接合された第2の半導体素子とよりなる第2の半導体装置とが放熱性接着剤を介して積層化して接合した積層型半導体装置であって、前記第1の半導体素子の裏面と第2の半導体キャリア基板の底面とが金属製プレート板を介して前記放熱性接着剤により接合され、前記第2の半導体キャリア基板の上面の電極と前記第1の半導体キャリア基板の上面の電極とが金属細線で電気的に接続され、前記第1の半導体キャリア基板の上面領域の前記第2の半導体装置を含む領域を封止樹脂で封止したことを特徴とする積層型半導体装置。

【請求項4】 第1の半導体素子と第1の半導体キャリア

基板との間隙、および第2の半導体素子と第2の半導体キャリア基板との間隙には、それぞれ樹脂が充填封止されていることを特徴とする請求項2または請求項3に記載の積層型半導体装置。

【請求項5】 第1の半導体素子の主面の電極パッドにバンパを形成し、そのバンパの先端部に導電性接着剤を形成し、第2の半導体素子の電極パッドにバンパを形成し、その先端部に導電性接着剤を形成する工程と、前記第1の半導体チップをその主面側を下にして第1の半導体キャリア基板の上面の電極に対応させ、バンパ上の導電性接着剤を介して接合し、第2の半導体チップをその主面側を下にして第2の半導体キャリア基板の上面の電極に対応させ、バンパ上の導電性接着剤を介して接合する工程と、前記第1の半導体素子と第1の半導体キャリア基板との間隙に封止樹脂を注入して充填封止し、前記第2の半導体素子と第2の半導体キャリア基板との間隙に封止樹脂を注入して充填封止する工程と、前記第2の半導体素子側の第2の半導体キャリアの裏面の略中央部に対して、放熱性接着剤を用いて、放熱用の金属製プレート板を接合する工程と、前記第1の半導体キャリアに接合された第1の半導体素子の裏面と、第2の半導体キャリア基板が接合された第2の半導体素子の裏面とを放熱性接着剤により接合して積層構造を構成する工程と、前記第2の半導体素子が接合された第2の半導体キャリアの電極端子と前記第1の半導体キャリアの上面のボンディングパッド部とを金属細線により電気的に接続する工程と、前記金属製プレート板が被らないように、前記第1の半導体キャリア基板の上面領域をポッティング封止樹脂で封止し、前記第1の半導体素子、第2の半導体素子および金属細線による接続領域を封止する工程とよりなることを特徴とする積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フリップチップ実装工法で実装した半導体装置どうしまたは、フリップチップ実装工法の半導体装置と、もう一つ別の半導体装置（外周部に電気的接続が取れる電極端子部を有している半導体装置）とが放熱性接着剤を介して、接着させた積層型の半導体装置に関するもので、特に、積層化した半導体装置の放熱性の向上を図り、半導体装置の大容量化・高機能化・高信頼性化を実現することができることを目的とした積層型半導体装置に関するものである。また、従来のフリップチップ実装構造の半導体装置を個々に実装することよりも、更に、高密度実装化を実現することができることを特徴とした積層型半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 一般的に積層型半導体装置は、複数の半導体装置を積層化するため、技術的に放熱特性が重要課題となっている。従来の積層型半導体装置は、リードフ

レーン上下に、2種類の半導体素子を搭載し、ワイヤーボンディングにより電気的に接続し、半導体素子全体をモールド封止しているなどの構造であり、筐体を通じて、電子機器のシステム本体への熱放散させる機構が十分でない構造であった。

【0003】以下、図面を参照して従来の積層型半導体装置の構造例について説明する。図5および図6は、従来の積層型半導体装置を示す断面図である。

【0004】まず図5に示すような積層型半導体装置は、第1の半導体素子1の電極（図示せず）に金などのバンプ2を形成し、このバンプ2に銅材よりなるリード3をインナーボンディングし、続いて、そのリード3をリードフレーム4にアウトターボンディングを施して接続する。さらに、リードフレーム4を裏返しにして、第2の半導体素子5に、再び前記の処理を施すことにより、第2の半導体素子5のバンプ2とリードフレーム4との間を銅材のリード3で接続する。その後、封止樹脂6により樹脂モールドを施し、リードフレーム4を必要な形状に成形加工し、樹脂封止型の積層型半導体装置を構成している。

【0005】次に、従来の積層型半導体装置として別の例を図6に示している。図6は従来の積層型半導体装置を示す断面図である。

【0006】図6に示すように、従来のフリップチップ実装型の積層型半導体装置は、その主面の電極パッド7にバンプ2が形成された第1の半導体素子1が、その主面を下にして（フリップチップ）、支持体であるセラミックを絶縁基体とした多層回路基板よりなる半導体キャリア基板8上の複数の電極9とが半田あるいは導電性接着剤等により接合されている。そして、接合された第1の半導体素子1と半導体キャリア基板8との隙間には、エポキシ系の封止樹脂6が充填封止されている。なお、半導体キャリア基板8は、その裏面に外部端子10を有し、電極9と外部端子10とは半導体キャリア基板8内に形成されたビア（図示せず）により、内部接続されている。そしてもう一つ別の第2の半導体素子5が、半田または導電性接着剤11等を介して、第1の半導体素子1の裏面と接合されており、この第2の半導体素子5の表面の電極パッド7から、半導体キャリア基板8の表面外周部にあるボンディングパッド12に金属細線13でボンディングされている。そして第1の半導体素子1、第2の半導体素子5および金属細線13を含む半導体キャリア基板8の上面側を封止樹脂6で樹脂モールドして積層型半導体装置を構成している。

【0007】

【発明が解決しようとする課題】しかしながら前記従来の積層型半導体装置の構造では、発熱体である半導体素子からの発熱を、電子機器システム内の筐体を通じて効率良く、且つ十分に放散させるための高放熱システム機能が組み込まれておらず、消費電力が高い仕様の半導体

素子を積層化した半導体装置に組み込んだ場合、急激な半導体素子の温度上昇により半導体素子が破壊し、その積層型半導体装置が動作しなくなるといった不具合が発生する。そのため、高放熱仕様の積層型半導体装置の実現を図ることが重要であり、且つ大容量化し、高機能化した積層型半導体装置の実現が必要不可欠であった。

【0008】本発明は、前記従来の課題を解決するもので、複数の半導体素子より発生する熱の放熱特性を向上させ、積層型半導体装置の信頼性の向上化を図ることはもちろん、従来の2つの半導体素子を個々に実装する場合に比べ信号遅延が小さく、且つ実装面積を縮小化することもできる半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】前記課題を解決するために本発明の積層型半導体装置は、以下のような構成を有している。すなわち、概念的には、少なくとも第1の半導体装置と第2の半導体装置とよりなり、互いの半導体装置どうしを放熱性接着剤を介して積層化して接合した積層型半導体装置であって、前記第1の半導体装置上に第2の半導体装置が積層され、前記第1の半導体装置と第2の半導体装置とが電気的に接続され、前記第2の半導体装置上に放熱用の金属製プレート板が設けられ、前記金属製プレート板が露出するように、前記第1の半導体装置と前記第2の半導体装置との外周を封止樹脂で封止した積層型半導体装置である。

【0010】また、本発明の積層型半導体装置は、底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第1の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンプを介して接合された第1の半導体素子とよりなる第1の半導体装置と、底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第2の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンプを介して接合された第2の半導体素子とよりなる第2の半導体装置とが放熱性接着剤を介して積層化して接合した積層型半導体装置であって、前記第1の半導体素子の裏面と第2の半導体素子の裏面とが接合され、前記第2の半導体キャリア基板の底面の外部端子と前記第1の半導体キャリア基板の上面の電極とが金属細線で電気的に接続され、前記第2の半導体キャリア基板の底面上に放熱用の金属製プレート板が設けられ、前記金属製プレート板が露出するように、前記第1の半導体キャリア基板の上面領域の前記第2の半導体装置を含む領域を封止樹脂で封止した積層型半導体装置である。

【0011】また、底面に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第1の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンプを介して接合された第1の半導体素子とよりなる第1の半導体装置と、底面

に外部端子を有し、上面に前記外部端子と基板内接続した電極を有した絶縁性回路基板よりなる第2の半導体キャリア基板と、前記電極に対応してその主面の電極パッドがバンパを介して接合された第2の半導体素子とよりなる第2の半導体装置とが放熱性接着剤を介して積層化して接合した積層型半導体装置であって、前記第1の半導体素子の裏面と第2の半導体キャリア基板の底面とが金属製プレート板を介して前記放熱性接着剤により接合され、前記第2の半導体キャリア基板の上面の電極と前記第1の半導体キャリア基板の上面の電極とが金属細線で電気的に接続され、前記第1の半導体キャリア基板の上面領域の前記第2の半導体装置を含む領域を封止樹脂で封止した積層型半導体装置である。

【0012】さらに具体的には、第1の半導体素子と第1の半導体キャリア基板との間隙、および第2の半導体素子と第2の半導体キャリア基板との間隙には、それぞれ樹脂が充填封止されている積層型半導体装置である。

【0013】本発明の積層型半導体装置の製造方法においては、第1の半導体素子の主面の電極パッドにバンパを形成し、そのバンパの先端部に導電性接着剤を形成し、第2の半導体素子の電極パッドにバンパを形成し、その先端部に導電性接着剤を形成する工程と、前記第1の半導体チップをその主面側を下にして第1の半導体キャリア基板の上面の電極に対応させ、バンパ上の導電性接着剤を介して接合し、第2の半導体チップをその主面側を下にして第2の半導体キャリア基板の上面の電極に対応させ、バンパ上の導電性接着剤を介して接合する工程と、前記第1の半導体素子と第1の半導体キャリア基板との間隙に封止樹脂を注入して充填封止し、前記第2の半導体素子と第2の半導体キャリア基板との間隙に封止樹脂を注入して充填封止する工程と、前記第2の半導体素子側の第2の半導体キャリアの裏面の略中央部に対して、放熱性接着剤を用いて、放熱用の金属製プレート板を接合する工程と、前記第1の半導体キャリアに接合された第1の半導体素子の裏面と、第2の半導体キャリア基板が接合された第2の半導体素子の裏面とを放熱性接着剤により接合して積層構造を構成する工程と、前記第2の半導体素子が接合された第2の半導体キャリアの電極端子と前記第1の半導体キャリアの上面のボンディングパッド部とを金属細線により電気的に接続する工程と、前記金属製プレート板が被らないように、前記第1の半導体キャリア基板の上面領域をポッティング封止樹脂で封止し、前記第1の半導体素子、第2の半導体素子および金属細線による接続領域を封止する工程とよりなる積層型半導体装置の製造方法である。

【0014】前記構成の通り、放熱用の金属製プレート板、放熱性接着剤を用いているので、発熱体である2種の半導体素子からの熱エネルギーを、電子機器内の筐体を通じて効率良く熱放散することにより、積層化した半導体装置の高放熱化が図れるものである。これにより、

急激な半導体装置の温度上昇による半導体装置の破壊を防止し、半導体装置の大容量化・高速化及び更なる高密度実装化等が実現できるものである。

【0015】

【発明の実施の形態】本発明の積層型半導体装置は、放熱性接着剤により2つの半導体装置を接合し、上側の半導体装置に放熱用の部材、例えば金属製プレート板を設けたものであり、少なくとも第1の半導体装置と第2の半導体装置とよりなり、互いの半導体装置どうしを放熱性接着剤を介して積層化して接合した積層型半導体装置であって、第1の半導体装置上に第2の半導体装置が積層され、その第1の半導体装置と第2の半導体装置とが電気的に接続され、また第2の半導体装置上に放熱用の金属製プレート板が設けられ、その金属製プレート板が露出するように、第1の半導体装置と第2の半導体装置との外周を封止樹脂で封止した構成を有するものである。

【0016】以下、本発明の積層型半導体装置およびその製造方法の一実施形態について図面を参照しながら説明する。

【0017】まず第1の実施形態にかかる積層型半導体装置について説明する。図1は本実施形態の積層型半導体装置を示す断面図である。なお図1において、図1(a)は断面図であって、図1(b)は図1(a)の破線円の部分を拡大した図である。

【0018】図1に示すように本実施形態の積層型半導体装置は、その主面の電極パッド7にバンパ2の形成された第1の半導体素子1がその主面側を下にして、支持体であるセラミックを絶縁基体とした多層回路基板より成る半導体キャリア基板8aに接合されている。ここで第1の半導体素子1上に形成されたバンパ2と半導体キャリア基板8a上の複数の電極9aとが半田あるいは導電性接着剤14等により接合されている。そして接合された第1の半導体素子1と半導体キャリア基板8aとの隙間には、エポキシ系の封止樹脂6が充填封止されている。なお、半導体キャリア基板8aはその裏面に外部端子10を有し、電極9aと外部端子10とは、半導体キャリア基板8a内に形成されたビア（図示せず）により内部接続されているものである。そして第1の半導体素子1の裏面側に放熱性接着剤15を介して第2の半導体素子5がその裏面側で接合されており、この第2の半導体素子5もまた第1の半導体素子の実装構造と同様に、その主面の電極パッド7にバンパ2の形成された第2の半導体素子5がその主面側を下にして、支持体であるセラミックを絶縁基体とした多層回路基板より成る半導体キャリア基板8bに接合されている。そして同様に、第2の半導体素子5上に形成されたバンパ2と半導体キャリア基板8b上の複数の電極9bとが半田あるいは導電性接着剤等14により接合されている。そして接合された第2の半導体素子5と半導体キャリア基板8bとの隙

間には、エポキシ系の封止樹脂6が充填封止されている。なお、半導体キャリア基板8bはその裏面に外部端子10を有し、電極9bと外部端子10とは、半導体キャリア基板8b内に形成されたビア（図示せず）により内部接続されているものである。

【0019】また、積層化した2種の半導体素子のうち、第2の半導体素子5からの電気的信号を電気的にユーザ基板へ導くため、第2の半導体素子5の半導体キャリア基板8b裏面の外周部にある電極端子16から、積層化した下側にある第1の半導体素子1の半導体キャリア基板8aの表層面外周部に設けたボンディングパッド部17へ金線等の金属細線13でボンディングしているものである。そして第2の半導体素子5側の半導体キャリア基板8bの裏面の略中央部には、放熱用の金属メッキ層または金属製プレート板18が設けられているものである。

【0020】そして金属製プレート板18が被さらないように、半導体キャリア基板8aの上面領域をポッティング封止樹脂19で封止しているものである。

【0021】なお、半導体キャリア8bの略中央部に設けた放熱用の金属製プレート板18の上面には、マークインク20で積層化した半導体装置の製品品番や密番等をマーキング捺印しているものである。また、半導体キャリア基板8aはポッティング封止樹脂19がはみ出さないように、基板の周囲には上方に突出した枠部が形成されているものである。

【0022】以上のように、フリップチップ実装構造の2つの半導体装置をその互いの半導体素子1、5の裏面どうしを合わせて、放熱性接着剤15を介して積層化し、接合されているものである。この構造により、実装面積を低減し、かつ放熱特性を向上させた積層型半導体装置が得られるものである。

【0023】次に本実施形態の積層型半導体装置の製造方法について、同図をもとに説明する。

【0024】まず、個々に、第1の半導体素子1の主面の電極パッド7にバンパ2を形成し、そのバンパ2の先端部に導電性接着剤14を転写法により形成する。同様に第2の半導体素子5の電極パッド7にもバンパ2を形成し、その先端部に導電性接着剤14を転写法により形成する。

【0025】次に、個々に第1の半導体チップ1をその主面側を下にして半導体キャリア基板8aの電極9aに対応させ、バンパ2上の導電性接着剤14を介して接合する。同様に第2の半導体チップ5をその主面側を下にして半導体キャリア基板8bの電極9bに対応させ、バンパ2上の導電性接着剤14を介して接合する。なお、半導体素子と半導体キャリアとの接合においては、導電性接着剤14の硬化のために所定条件で加熱処理を行う。

【0026】次に、個々に第1の半導体素子1と半導体

キャリア基板8aとの間隙に封止樹脂6を注入して充填封止する。同様に第2の半導体素子5と半導体キャリア基板8bとの間隙に封止樹脂6を注入して充填封止する。通常、封止樹脂6に用いる樹脂は熱硬化型であるため、樹脂注入して加熱し、樹脂を熱硬化させて封止する。

【0027】次に、第2の半導体素子5側の半導体キャリア8bの裏面の略中央部に対して、放熱性接着剤を用いて、放熱用の金属製プレート板18を接合する。または金属製プレート板18の代わりに、金属メッキ層を形成してもよい。なお、ここで、放熱用の金属製プレート板18を半導体キャリア基板8b裏面の中央部付近に接合するのは、放熱特性を向上させるために熱伝導を均一にするためである。

【0028】次に、半導体キャリア8aに接合された第1の半導体素子1の裏面と、半導体キャリア基板8bが接合された第2の半導体素子5の裏面とを放熱性接着剤15により接合して積層構造を構成する。なお、この工程の後に前記工程で形成した放熱用の金属製プレート板18を半導体キャリア8bの裏面に接合してもよい。

【0029】そして、第2の半導体素子5が接合された半導体キャリア8bの電極端子16と半導体キャリア8aのボンディングパッド部17とを金属細線13により電気的に接続する。

【0030】最後に金属製プレート板18が被さらないように、半導体キャリア基板8aの上面領域をポッティング封止樹脂19で封止し、第1の半導体素子1、第2の半導体素子5および金属細線13による接続領域を封止し、積層型半導体装置を得る。

【0031】また通常の製品製造工程では、積層型半導体装置の半導体キャリア8bの略中央部に設けた放熱用の金属製プレート板18の上面に、マークインク20で積層化した半導体装置の製品品番や密番等をマーキング捺印する。

【0032】次に本実施形態の積層型半導体装置を応用した実施形態について説明する。図2は本実施形態の積層型半導体装置を示す断面図である。

【0033】図2に示す積層型半導体装置は、図1に示した積層型半導体装置を基板に対して2つ並列に配置し、MCM (Multi Chip Module) 化した構成である。図2に示した構造は、図1に示した積層型半導体装置として、第1の積層型半導体装置21と第2の積層型半導体装置22とを1つの基板23上に形成し、それら2つの積層型半導体装置を一体でポッティング封止樹脂19で封止したものである。そして各積層型半導体装置から発生する熱を電子機器内の筐体24を通じて放熱することが可能となり、更なる高密度実装化が図れるものである。これにより、例えば4種の半導体素子を積層化し、1つの基板に実装でき、高密度実装化を実現できる。なお、他の構成は図1に示した構成と同

である。

【0034】次に本実施形態の積層型半導体装置を応用した別の実施形態について説明する。図3は本実施形態の積層型半導体装置を示す断面図である。

【0035】図3に示す積層型半導体装置は、図1に示した積層型半導体装置における上側の半導体装置として、図1のようにフリップチップ実装した半導体装置ではなく、パッケージ底面に外部電極25が配列したモールド封止型の半導体装置26を第1の半導体素子1の裏面に対して、放熱性接着剤15により接合した構成である。なお、他の構成は図1に示した構成と同じである。図3の構成のように、フリップチップ実装した半導体装置としてでなくとも積層型を構成し、半導体装置26の裏面中央部に放熱用の金属製プレート板18を設けることにより、電子機器の筐体へ放熱させることができるものであり、高密度実装を実現するとともに、放熱性を向上させることができる。

【0036】次に本実施形態の積層型半導体装置を応用した別の実施形態について説明する。図4は本実施形態の積層型半導体装置を示す断面図である。

【0037】図4に示す積層型半導体装置は、図1に示した積層型半導体装置における上側の半導体装置として、図1のように半導体素子の裏面どうしを放熱性接着剤により接合した半導体装置ではなく、上側の半導体装置において、半導体キャリア基板8bの裏面と第1の半導体素子1の裏面とを放熱性接着剤15により接合したものであり、図1に示した構造において、上側の半導体装置が180度反転して接合した構造である。そして第1の半導体素子1の裏面の略中央部には、薄型の金属製プレート板27を接合し、半導体キャリア基板8bの底面のその金属製プレート板27と対応する部分には凹部28が形成されて、金属製プレート板27が入る構成であり、第1の半導体素子1の裏面、金属製プレート板27と半導体キャリア基板8bの凹部28とは放熱性接着剤15により接合されている。なお、他の構成は図1に示した構成と同じである。この構成においても、高密度実装を実現するとともに、放熱性を向上させることができる。

【0038】なお、各実施形態において、同一の半導体キャリア8a上に種々の半導体装置を複数個積層させることもできるものである。

【0039】以上、本実施形態のような構成により、発熱体である2種の半導体素子からの熱エネルギーを、電子機器内の筐体を通して効率良く熱放散することにより、積層化した半導体装置の高放熱化が図れるものであり、これにより、急激な半導体装置の温度上昇による半導体装置の破壊を防止し、半導体装置の大容量化・高速化及び更なる高密度実装化等が実現できるものである。

【0040】

【発明の効果】以上説明したように、本発明の積層型半

導体装置は、フリップチップ実装工法で実装した半導体装置とし、あるいはフリップチップ実装構造でなくても半導体装置裏面の外周部に電気的接続が取れる端子を設けている半導体装置（但し積層化する際、必ず上側に搭載される）と、フリップチップ実装構造の半導体装置（下側に搭載）とを積層化し、互いの半導体素子の裏面どうしを合わせて放熱性接着剤等を介して積層・接着するものである。

【0041】また、積層化した半導体装置における上側の半導体装置の半導体キャリア基板あるいは半導体装置の裏面中央部に設けた金属メッキ層または薄型の金属製プレート板が完全に露出されていることにより、発熱した半導体素子からの熱を電子機器システム内の筐体を通じて効率良く熱放散させることができるものである。

【0042】これにより、高密度実装化を実現する上で困難であった積層型半導体装置の大容量化・高機能化・高信頼性化等を実現することができるものである。また、個々の半導体装置をユーザ基板に実装するよりも、更に実装面積の縮小化が図れるだけでなく、電気信号の高速化も図ることができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態における積層型半導体装置を示す断面図

【図2】本発明の一実施形態における積層型半導体装置を示す断面図

【図3】本発明の一実施形態における積層型半導体装置を示す断面図

【図4】本発明の一実施形態における積層型半導体装置を示す断面図

【図5】従来の積層型半導体装置を示す断面図

【図6】従来の積層型半導体装置を示す断面図

【符号の説明】

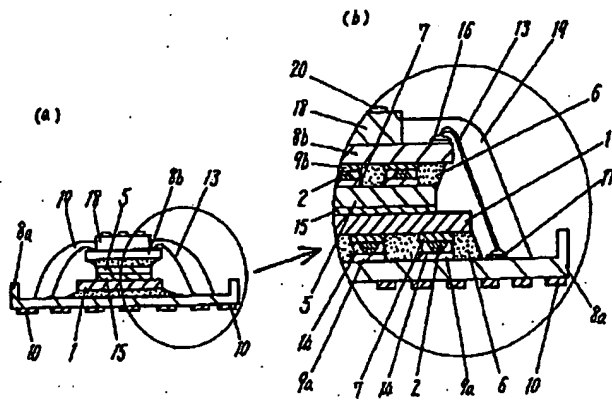
- 1 第1の半導体素子
- 2 バンプ
- 3 リード
- 4 リードフレーム
- 5 第2の半導体素子
- 6 封止樹脂
- 7 電極パッド
- 8 半導体キャリア基板
- 9 電極
- 10 外部端子
- 11 導電性接着剤
- 12 ボンディングパッド
- 13 金属細線
- 14 導電性接着剤
- 15 放熱性接着剤
- 16 電極端子
- 17 ボンディングパッド部
- 18 金属製プレート板

!(7) 000-294723 (P2000-29JL8

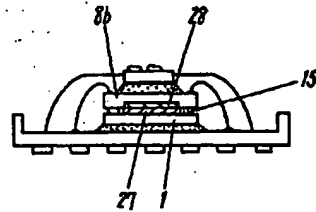
- 19 封止樹脂
- 20 マークインク
- 21 第1の半導体装置
- 22 第2の半導体装置
- 23 半導体キャリア基板

- 24 筐体
- 25 外部電極
- 26 半導体装置
- 27 金属製プレート板
- 28 凹部

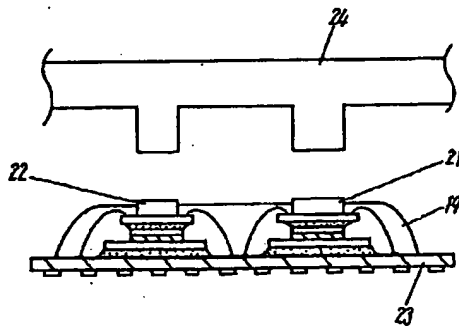
【図1】



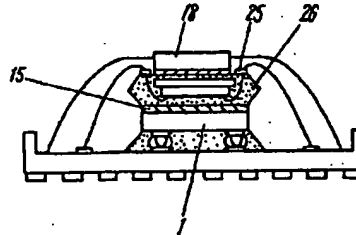
【図4】



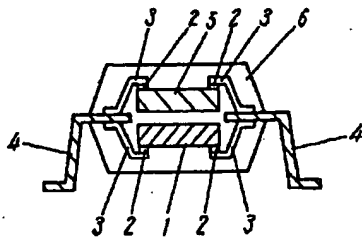
【図2】



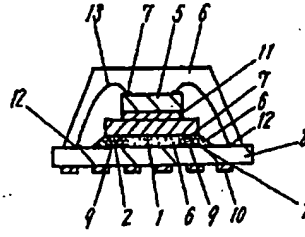
【図3】



【図5】



【図6】



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

16514423

Basic Patent (No,Kind,Date): JP 2000294723 A2 20001020 <No. of Patents:
001>

STACKED SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (English)

Patent Assignee: MATSUSHITA ELECTRONICS CORP

Author (Inventor): ISHIKAWA KAZUHIRO

IPC: H01L-025/065; H01L-025/07; H01L-025/18

Derwent WPI Acc No: G 01-392330

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000294723	A2	20001020	JP 99102279	A	19990409 (BASIC)

Priority Data (No,Kind,Date):

JP 99102279 A 19990409

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06708891 **Image available**

STACKED SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 2000-294723 [JP 2000294723 A]

PUBLISHED: October 20, 2000 (20001020)

INVENTOR(s): ISHIKAWA KAZUHIRO

APPLICANT(s): MATSUSHITA ELECTRONICS INDUSTRY CORP

APPL. NO.: 11-102279 [JP 99102279]

FILED: April 09, 1999 (19990409)

INTL CLASS: H01L-025/065; H01L-025/07; H01L-025/18

ABSTRACT

PROBLEM TO BE SOLVED: To improve a heat radiation characteristic by electrically connecting a first semiconductor device and a second semiconductor device, and sealing the outer surrounding of the first and second semiconductor devices with resin so that a metal plate installed on the second semiconductor device is exposed.

SOLUTION: For electrically introducing an electric signal from a second semiconductor element 5 to a user substrate, an electrode terminal 16 at an outer peripheral part on the rear face of the semiconductor carrier substrate 8b of the second semiconductor element 5 is bonded to a bonding pad part 17 installed at the outer peripheral part of the surface face of a semiconductor carrier substrate 8a in a first semiconductor element 1 at a stacked lower side by metallic thin wire 13. A metallic plate 18 is arranged in the almost center part of the rear face 8b of a semiconductor carrier substrate 8b on the side of the second semiconductor element 5. The upper area of the semiconductor carrier substrate 8a is sealed with potting sealing resin 19 so that the metallic plate 18 is not covered.

COPYRIGHT: (C)2000, JPO